

PAT-NO: JP02004079745A
DOCUMENT-IDENTIFIER: JP 2004079745 A
TITLE: INTERPOSER, MANUFACTURING METHOD THEREFOR,
ELECTRONIC
CIRCUIT DEVICE AND MANUFACTURING METHOD
THEREFOR
PUBN-DATE: March 11, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKAOKA, YUJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP2002237396

APPL-DATE: August 16, 2002

INT-CL (IPC): H01L023/32, H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an interposer where shorting of a bump electrode and a semiconductor substrate can be prevented, a manufacturing method of the interposer, an electronic circuit device using the interposer, and to provide a manufacturing method of the device.

SOLUTION: A rear face of a silicon substrate 10 constituting the interposer 1 retreats so that a through conductive layer 12 protrudes from the rear face. Bump electrodes 30 which are connected to the respective through conductive layers 12 and are formed of solder are formed at tips of the through conductive layers 12 protruded from the rear face. Length L that the through

conductive layer 12 protrudes from the rear face of the silicon substrate 10 is set to be about 1/5 to 1/10 of a diameter of the through conductive layer 12, for example, since a contact between the silicon substrate 10 and the bump electrode 30 due to deformation of the bump electrode 30 is prevented when a mounted substrate is subsequently connected to the through conductive layer 12 by the bump electrode 30.

COPYRIGHT: (C)2004,JPO

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-79745

(P2004-79745A)

(43)公開日 平成16年3月11日(2004.3.11)

(51)Int.Cl.⁷H01L 23/32
H01L 23/12

F 1

H01L 23/32
H01L 23/12

テーマコード(参考)

D
501B

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21)出願番号
(22)出願日特願2002-237396 (P2002-237396)
平成14年8月16日 (2002.8.16)(71)出願人
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74)代理人
100094053
弁理士 佐藤 隆久
(72)発明者
高岡 裕二
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

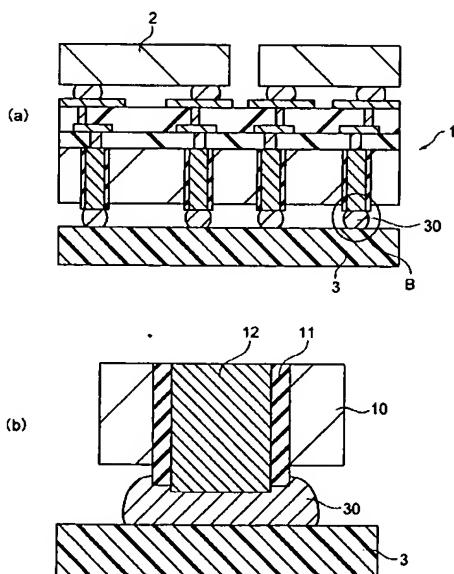
(54)【発明の名称】インターポーラおよびその製造方法、並びに電子回路装置およびその製造方法

(57)【要約】

【課題】突起電極と半導体基板とのショートを防止することができるインターポーラおよびその製造方法、並びに当該インターポーラを用いた電子回路装置およびその製造方法に関する。

【解決手段】インターポーラ1を構成するシリコン基板10の裏面は、貫通導電層12が裏面から突出するように後退しており、裏面から突出した貫通導電層12の先端には、各貫通導電層12に接続するはんだ等からなるバンプ電極30が形成されている。シリコン基板10の裏面から貫通導電層12が突出する長さLは、後に実装基板と貫通導電層12との間をバンプ電極30により接続する際に、バンプ電極30の変形によるシリコン基板10とバンプ電極30との接触を防止するため、例えば貫通導電層12の径の1/5~1/10程度とする。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

一方の面に複数の電子素子を搭載し、他方の面を突起電極により実装基板に接続させて、前記電子素子と前記実装基板とを電気的に接続するインターポーラーであって、半導体基板と、

前記半導体基板を貫通し、当該半導体基板に絶縁した状態において埋め込まれた貫通導電層と、

前記半導体基板の前記一方の面上に形成され、前記貫通導電層と前記電子素子とを電気的に接続する配線層とを有し、

前記貫通導電層は、前記実装基板と当該貫通導電層との間を前記突起電極により接続する際に、当該突起電極の変形による前記半導体基板と前記突起電極との接触を防止し得るように、前記半導体基板の前記他方の面から突出して形成されている
10
インターポーラー。

【請求項 2】

複数の電子素子と、当該複数の電子素子を一方の面に搭載するインターポーラーとを有し、前記インターポーラーの他方の面を突起電極により実装基板に接続させる電子回路装置であって、

前記インターポーラーは、

半導体基板と、

前記半導体基板を貫通し、当該半導体基板に絶縁した状態において埋め込まれた貫通導電層と、
20

前記半導体基板の前記一方の面上に形成され、前記貫通導電層と前記電子素子とを電気的に接続する配線層とを有し、

前記貫通導電層は、前記実装基板と当該貫通導電層との間を突起電極により接続する際に、当該突起電極の変形による前記半導体基板と前記突起電極との接触を防止し得るように、前記半導体基板の前記他方の面から突出して形成されている
電子回路装置。
20
40

【請求項 3】

一方の面に複数の電子素子を搭載し、他方の面を突起電極により実装基板に接続させて、前記電子素子と前記実装基板とを電気的に接続するインターポーラーの製造方法であって、半導体基板の途中の深さまで開孔を形成する工程と、
30

前記半導体基板の前記開孔に、当該半導体基板に絶縁した状態において導電層を埋め込んで形成する工程と、

前記半導体基板の前記一方の面上に、前記導電層と前記電子素子とを電気的に接続する配線層を形成する工程と、

前記半導体基板の前記他方の面を研磨して、前記導電層を前記半導体基板の前記他方の面から露出させて貫通導電層を形成する工程と、

前記他方の面側における前記半導体基板をエッチングして、前記半導体基板の前記他方の面から前記貫通導電層を突出させる工程と、

を有するインターポーラーの製造方法。
40

【請求項 4】

前記貫通導電層を突出させる工程の後に、前記半導体基板の他方の面から突出した前記貫通導電層に接続する前記突起電極を形成する工程をさらに有する

請求項 3 記載のインターポーラーの製造方法。

【請求項 5】

半導体基板の途中の深さまで開孔を形成する工程と、

前記半導体基板の前記開孔に、当該半導体基板に絶縁した状態において導電層を埋め込んで形成する工程と、

前記半導体基板の前記一方の面上に、前記導電層に接続する配線層を形成する工程と、

前記半導体基板の前記他方の面を研磨して、前記導電層を前記半導体基板の前記他方の面
50

から露出させて貫通導電層を形成する工程と、
前記他方の面側における前記半導体基板をエッチングして、前記半導体基板の前記他方の面から前記貫通導電層を突出させる工程と
を有するインターポーラを形成する工程と、
前記インターポーラの前記一方の面上に、前記配線層に接続するように複数の電子素子を実装する工程と
を有する電子回路装置の製造方法。

【請求項 6】

前記貫通導電層を突出させる工程の後に、前記半導体基板の他方の面から突出した前記貫通導電層に接続する突起電極を形成する工程をさらに有する
請求項 5 記載の電子回路装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、シリコンウェーハを利用したインターポーラおよびその製造方法、並びに当該インターポーラに電子素子を搭載した電子回路装置およびその製造方法に関する。

【0002】

【従来の技術】

デジタルネットワーク情報社会の進化に対応して、マルチメディア機器を始めとするデジタル家電や携帯情報端末を中心とした電子機器が著しく発展している。その結果、半導体に対する多機能化や高性能化に対する要求が高まり、1チップに高度なシステム機能を詰め込んだシステムオンチップ（S O C : S y s t e m O n C h i p ）が注目を集めている。

20

【0003】

システムオンチップは、従来ボード上で実現してきたシステムを一つのシリコンチップ上で実現するもので、低消費電力、高性能、実装面積削減というメリットが大きいものである。

【0004】

しかし、最近、システムオンチップの開発期間の長期化や、様々なシステム機能を一つのチップに統合するための開発リスクが問題となり始め、システムオンチップと同等の機能を短期間、低コストで実現できる可能性を秘めるシステムインパッケージ（S I P : S y s t e m I n P a c k a g e ）技術が注目されている。

30

【0005】

システムインパッケージとは、複数のL S I を単一のパッケージに封止してシステム化を実現したものであり、最終的にはシステムオンチップと同等の機能を低コストで供給することを目指すものである。

【0006】

図8 (a) は従来のいわゆるシステムインパッケージ技術を適用した電子回路装置の断面図であり、図8 (b) は図8 (a) のF部における拡大断面図である。

40

図8に示す電子回路装置では、インターポーラ100上に複数の半導体チップ200が搭載されている。

【0007】

インターポーラ100は、シリコンウェーハ等から形成されたシリコン基板110に対し絶縁層111により絶縁した状態で、当該シリコン基板110を貫通する例えば銅からなる貫通導電層112を有し、シリコン基板110の一方の面上には当該貫通導電層112に接続する配線層120が形成され、シリコン基板110の他方の面上には各貫通導電層112に接続されたバンプ電極130が形成されている。

【0008】

半導体チップ200には、回路形成面側にバンプ電極200aが形成されており、インタ

50

一ポーラ100の配線層120とバンプ電極200aとが接続するように、インターポーラ100上に実装されている。

【0009】

上記のインターポーラ100は、シリコンウェーハ等からなるシリコン基板110上に、通常の半導体製造におけるウェーハプロセスやアセンブリ工程の技術を用いて配線層120を形成し、シリコン基板110の裏面から裏面研削装置（BGR：Backside Grinder）を用いて貫通導電層112をシリコン基板110の裏面から露出させて、バンプ電極130を形成することにより製造される。

【0010】

図9(a)は、上記の電子回路装置を実装基板上に実装した後の断面図であり、図9(b)は図9(a)のG部における拡大断面図である。

【0011】

図9に示すように、上記構成の電子回路装置は、インターポーラ100に形成されたバンプ電極130と実装基板300の図示しない配線とを接続するように、実装基板上に実装されて使用される。

【0012】

インターポーラ100に複数の半導体チップ200が搭載された電子回路装置を実装基板300へ実装する際には、例えば、電子回路装置を実装基板300に向けて加圧および加熱した状態でバンプ電極130を熔融させて実装基板300の配線とバンプ電極130とを接合させている。

20

あるいは、電子回路装置を実装基板300へに向けて加圧した状態でバンプ電極130と実装基板300の配線との接合部に超音波振動を加えることにより、バンプ電極130と実装基板300の配線とを接合している。

【0013】

【発明が解決しようとする課題】

図8(b)に示すように、従来のインターポーラ100では、インターポーラ100を構成するシリコン基板110の他方の面と、露出した貫通導電層112とはほぼ平坦であった。

その結果、実装基板300への実装後において、インターポーラ100に形成されたバンプ電極130は少なからず変形することから、その変形が大きい場合には、図9(b)に示すように、シリコン基板110とバンプ電極130とがH部において接触してしまう場合があった。

30

【0014】

電子回路装置は使用時において発熱し、シリコン基板110の温度も上昇することから、半導体であるシリコン基板110の導電率は温度の上昇に伴い大きくなり、シリコン基板110とバンプ電極130との接触により、ショートしてしまうこととなる。

【0015】

このように、シリコン基板110とバンプ電極130とが接触した場合には、上記の電子回路装置は不良品となり使用することはできないことから、電子回路装置の歩留りの低下を引き起こす要因となってしまっていた。

40

【0016】

本発明は上記の事情に鑑みてなされたものであり、その目的は、実装基板と接続する突起電極とインターポーラを構成する半導体基板とのショートを防止することができるインターポーラおよびその製造方法、並びに当該インターポーラを用いた電子回路装置およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】

上記の目的を達成するため、本発明のインターポーラは、一方の面に複数の電子素子を搭載し、他方の面を突起電極により実装基板に接続させて、前記電子素子と前記実装基板とを電気的に接続するインターポーラであって、半導体基板と、前記半導体基板を貫通し、

50

当該半導体基板に絶縁した状態において埋め込まれた貫通導電層と、前記半導体基板の前記一方の面上に形成され、前記貫通導電層と前記電子素子とを電気的に接続する配線層とを有し、前記貫通導電層は、前記実装基板と当該貫通導電層との間を前記突起電極により接続する際に、当該突起電極の変形による前記半導体基板と前記突起電極との接触を防止し得るように、前記半導体基板の前記他方の面から突出して形成されている。

【0018】

上記の目的を達成するため、本発明の電子回路装置は、複数の電子素子と、当該複数の電子素子を一方の面に搭載するインターポーラーとを有し、前記インターポーラーの他方の面を突起電極により実装基板に接続させる電子回路装置であって、前記インターポーラーは、半導体基板と、前記半導体基板を貫通し、当該半導体基板に絶縁した状態において埋め込まれた貫通導電層と、前記半導体基板の前記一方の面上に形成され、前記貫通導電層と前記電子素子とを電気的に接続する配線層とを有し、前記貫通導電層は、前記実装基板と当該貫通導電層との間を突起電極により接続する際に、当該突起電極の変形による前記半導体基板と前記突起電極との接触を防止し得るように、前記半導体基板の前記他方の面から突出して形成されている。

10

【0019】

上記の本発明のインターポーラーおよび電子回路装置では、貫通導電層は、実装基板と貫通導電層との間を突起電極により接続する際に、当該突起電極の変形による半導体基板と突起電極との接触を防止し得るように、半導体基板の他方の面から突出して形成されている。

20

従って、インターポーラーの他方の面を突起電極により実装基板に接続する際に、突起電極の変形によって突起電極と半導体基板とが接触することが防止される。

【0020】

さらに、上記の目的を達成するため、本発明のインターポーラーの製造方法は、一方の面に複数の電子素子を搭載し、他方の面を突起電極により実装基板に接続させて、前記電子素子と前記実装基板とを電気的に接続するインターポーラーの製造方法であって、半導体基板の途中の深さまで開孔を形成する工程と、前記半導体基板の前記開孔に、当該半導体基板に絶縁した状態において導電層を埋め込んで形成する工程と、前記半導体基板の前記一方の面上に、前記導電層と前記電子素子とを電気的に接続する配線層を形成する工程と、前記半導体基板の前記他方の面を研磨して、前記導電層を前記半導体基板の前記他方の面から露出させて貫通導電層を形成する工程と、前記他方の面側における前記半導体基板をエッチングして、前記半導体基板の前記他方の面から前記貫通導電層を突出させる工程とを有する。

30

【0021】

さらに、上記の目的を達成するため、本発明の電子回路装置の製造方法は、半導体基板の途中の深さまで開孔を形成する工程と、前記半導体基板の前記開孔に、当該半導体基板に絶縁した状態において導電層を埋め込んで形成する工程と、前記半導体基板の前記一方の面上に、前記導電層に接続する配線層を形成する工程と、前記半導体基板の前記他方の面を研磨して、前記導電層を前記半導体基板の前記他方の面から露出させて貫通導電層を形成する工程と、前記他方の面側における前記半導体基板をエッチングして、前記半導体基板の前記他方の面から前記貫通導電層を突出させる工程とを有するインターポーラーを形成する工程と、前記インターポーラーの前記一方の面上に、前記配線層に接続するように複数の電子素子を実装する工程とを有する。

40

【0022】

上記の本発明のインターポーラーおよび電子回路装置の製造方法では、半導体基板の他方の面を研磨して、導電層を半導体基板の他方の面から露出させて貫通導電層を形成した後に、他方の面側における半導体基板をエッチングすることにより、半導体基板の他方の面から貫通導電層を突出させる。

【0023】

【発明の実施の形態】

50

以下に、本発明のインターポーザおよびそれを用いた電子回路装置の実施の形態について、図面を参照して説明する。

【0024】

図1(a)は、本実施形態に係る電子回路装置の断面図であり、図1(b)は図1(a)のA部における拡大断面図である。

図1に示すように、本実施形態に係る電子回路装置は、インターポーザ1上に複数の半導体チップ2が実装されているものである。

【0025】

インターポーザ1は、シリコンウェーハからなるシリコン基板10の一方の面上に形成された配線層20と、他方の面上に形成されたバンプ電極(突起電極)30とを有する。シリコン基板10は、例えば、50μm程度の厚さを有する。

【0026】

シリコン基板10には、一方の面から他方の面へと貫通する埋め込み用孔が形成されており、当該埋め込み用孔の内壁を被覆して酸化シリコンや窒化シリコン等からなる絶縁層11が形成されており、当該絶縁層11によりシリコン基板10に絶縁した状態で、埋め込み用孔を充填する銅等からなる貫通導電層12が形成されている。

【0027】

シリコン基板10の一方の面上には、酸化シリコン等からなる第1層間絶縁膜21が形成されており、当該第1層間絶縁膜21には貫通導電層12を露出するコンタクトホールが形成されており、当該コンタクトホール内に例えばタンクステン、アルミニウム、銅等の導電層が埋め込まれることにより、第1層コンタクトプラグ22が形成されている。

【0028】

第1層間絶縁膜21上には、第1層コンタクトプラグ22に接続するアルミニウム、銅等の導電体からなる第1層配線23が形成されており、当該第1層配線23および第1層間絶縁膜21を被覆して、酸化シリコン等からなる第2層間絶縁膜24が形成されている。

【0029】

第2層間絶縁膜24には第1層配線23の電極取り出し部を露出するコンタクトホールが形成されており、当該コンタクトホール内に例えばタンクステン、アルミニウム、銅等の導電層が埋め込まれることにより、第2層コンタクトプラグ25が形成されている。

【0030】

第2層間絶縁膜24上には、第2層コンタクトプラグ25に接続するアルミニウム、銅等の導電体からなる第2層配線26が形成されている。

上記の第1層間絶縁膜21、第1層コンタクトプラグ22、第1層配線23、第2層間絶縁膜24、第2層コンタクトプラグ25、第2層配線26により配線層20が構成されている。なお、本実施形態では、配線層20は2層配線により構成されている例を示しているが、さらなる多層配線により構成されていてもよい。

【0031】

各半導体チップ2は、電子回路形成面上にバンプ電極2aが形成されており、電子回路形成面をインターポーザ1の配線層20に向けて、いわゆるフリップチップ実装されている。各半導体チップ2のバンプ電極2aと第2層配線26とが電気的に接続されることにより、各半導体チップ2のバンプ電極2aは、第2層配線26、第2層コンタクトプラグ25、第1層配線23、第1層コンタクトプラグ22を介して各貫通導電層12に電気的に接続されることとなる。

【0032】

シリコン基板10の他方の面は、貫通導電層12が他方の面から突出するように後退しており、他方の面から突出した貫通導電層12の先端には、各貫通導電層12に接続するはんだ等からなるバンプ電極30が形成されている。

シリコン基板10の他方の面から貫通導電層12が突出する長さLは、後に実装基板と貫通導電層12との間をバンプ電極30により接続する際に、バンプ電極30の変形によるシリコン基板10とバンプ電極30との接触を防止するため、例えば貫通導電層12の径

30

40

50

の1/5～1/10程度、例えば100μm径であれば10μm～20μm程度とする。

【0033】

図2(a)は、上記の本実施形態に係る電子回路装置を実装基板上に実装した後の断面図であり、図2(b)は図2(a)のB部における拡大断面図である。

【0034】

図2(a)に示すように、上記構成の電子回路装置は、インターポーラ1に形成されたパンプ電極30と実装基板3の図示しない配線とを接続するように、実装基板3上に実装されて使用される。

【0035】

インターポーラ1に複数の半導体チップ2が搭載された電子回路装置を実装基板3へ実装する際には、例えば、電子回路装置を実装基板3に向けて加圧および加熱することにより、パンプ電極30を熔融させて実装基板3の配線とパンプ電極30とを接合させる。

あるいは、電子回路装置を実装基板3へに向けて加圧した状態でパンプ電極30と実装基板3の配線との接合部に超音波振動を加えることにより、パンプ電極30と実装基板3の配線とを接合させる。

【0036】

上記の実装基板3への実装時において、インターポーラ1に形成されたパンプ電極30は少なからず変形するが、その変形が大きい場合であっても、図2(b)に示すように、本実施形態ではシリコン基板10の裏面から貫通導電層12が突出して形成されていることから、シリコン基板10とパンプ電極30とが直接接触することなく、パンプ電極30とシリコン基板10とのショートを防止することができる。

【0037】

従って、本実施形態に係るインターポーラおよび電子回路装置によれば、電子回路装置の実装基板3への実装時において、パンプ電極30とシリコン基板10とのショートを防止することができることから、歩留りの良い信頼性のある電子回路装置を得ることができる。

【0038】

次に、上記の本実施形態に係るインターポーラおよびそれを用いた電子回路装置の製造方法について説明する。

【0039】

まず、図3(a)に示すように、膜厚が600～700μm程度のシリコンウェーハからなるシリコン基板10にフォトリソグラフィ技術により、貫通導電層を形成する部位に開口を有するレジストマスクを形成し、当該レジストマスクをマスクとして、エッチングを行なうことにより、シリコン基板10の途中の深さまで、例えば50μm程度の深さで埋め込み用孔10aを形成する。なお、レジストをマスクとせずに、窒化シリコン膜等のハードマスクをエッチングマスクとしてもよい。

【0040】

次に、図3(b)に示すように、上記の埋め込み用孔10aの内壁面を被覆するように全面に例えばCVD(Chemical Vapour Deposition)法により酸化シリコン膜や窒化シリコン膜等からなる絶縁層11を形成する。

続いて、埋め込み用孔10aを充填するように絶縁層11上に、例えばスパッタリング法によって銅膜を核成長層として堆積させ、次いで、無電解メッキにより銅膜を形成することにより、後に貫通導電層となる導電層12aを形成する。

【0041】

次に、図4(c)に示すように、CMP(Chemical Mechanical Polishing)法により、シリコン基板10上に堆積した導電層12aおよび絶縁層11を除去することにより、埋め込み用孔10a内にのみ絶縁層11および導電層12aを残す。

【0042】

次に、図4(d)に示すように、シリコン基板10上に、例えば、CVD法により酸化シ

10

20

30

40

50

リコン膜を堆積させて第1層間絶縁膜21を形成し、当該第1層間絶縁膜21にエッティングにより導電層12aを露出するコンタクトホールを形成する。

続いて、コンタクトホール内を充填するようにタンゲステン、アルミニウム、等の導電層からなる第1層コンタクトプラグ22を形成し、第1層間絶縁膜21上にアルミニウム等を堆積させてパターニングすることにより第1層コンタクトプラグ22に接続する第1層配線23を形成する。なお、第1層間絶縁膜21に予め配線溝を形成し、銅等を埋め込んだ後、CMP法によって不要な銅膜を除去するダマシン法により、第1層配線23を形成してもよい。

【0043】

次に、図5(e)に示すように、第1層配線23および第1層間絶縁膜21上に、例えば、CVD法により酸化シリコン膜を堆積させて第2層間絶縁膜24を形成し、当該第2層間絶縁膜24にエッティングにより第1層配線23に達するコンタクトホールを形成する。続いて、コンタクトホール内を充填するようにタンゲステン、アルミニウム、等の導電層からなる第2層コンタクトプラグ25を形成し、第2層間絶縁膜24上にアルミニウム等を堆積させてパターニングすることにより第2層コンタクトプラグ25に接続する第2層配線26を形成する。なお、第2層間絶縁膜24に予め配線溝を形成し、銅等を埋め込んだ後、CMP法によって不要な銅膜を除去するダマシン法により、第2層配線26を形成してもよい。

【0044】

図5(e)のC部における拡大断面図を図7(a)に示す。図7(a)に示すように、上記の工程後では、シリコン基板10の途中の深さまで形成された埋め込み用孔10a内には絶縁層11を介して導電層12aが充填されており、導電層12aは未だシリコン基板10を貫通していない状態にある。

【0045】

次に、図5(f)に示すように、裏面研削装置(BGR: Backside Grinder)を用いて、上記のシリコン基板10の裏面を例えばダイアモンド砥石によって研削して、図5(f)のD部の拡大断面図である図7(b)に示すように、シリコン基板10の裏面から導電層12aを露出させることにより、シリコン基板10を貫通する貫通導電層12を形成する。例えば、シリコン基板10は600~700μm程度の膜厚から50μm程度の厚さにまで加工される。このとき、図7(b)に示すように、貫通導電層12とシリコン基板10の裏面はほぼ平坦となっている。

【0046】

次に、図6(g)および図6(g)のE部における拡大断面図である図7(c)に示すように、シリコン基板10の裏面をエッティングすることにより、シリコン基板10の裏面を後退させて貫通導電層12を突出させる。

上記のエッティングとしては、例えば、貫通導電層12を構成する銅や、絶縁層11を構成する酸化シリコンに対してシリコン基板10を高い選択比をもってエッティングができるエッティング液を用いたウェットエッティングか、あるいはプラズマエッティングによりシリコン基板10を選択的にエッティングする。例えば、プラズマエッティングによりシリコン基板10の裏面を後退させる場合の条件の一例としては、ダウンフローのプラズマエッティング装置にて、圧力:266Pa(2Torr)、マイクロ波パワー:1000W、ガス流量:CF₄/O₂=50cc/500ccとする。

これにより、シリコン基板10の裏面から、例えば貫通導電層12の径の1/5~1/10程度、例えば100μm径であれば10μm~20μm程度の長さLだけ、貫通導電層12を突出させる。

【0047】

次に、図6(h)に示すように、インターポーラ1の配線層20上に、電子回路形成面にバンプ電極2aが形成された複数の半導体チップ2を実装する。当該工程では、半導体チップ2をインターポーラ1に向けて加圧および加熱することにより、バンプ電極2aを熔融させてインターポーラ1の第2層配線26とバンプ電極2aとを接合させる。あるいは

10

20

30

40

50

、半導体チップ2をインターポーザ1へ向けて加圧した状態でバンプ電極2aとインターポーザ1の第2層配線26との接合部に超音波振動を加えることにより、バンプ電極2aとインターポーザ1の第2層配線26とを接合させる。

【0048】

以降の工程としては、インターポーザ1の各貫通導電層12に接続するはんだからなるバンプ電極30を形成することにより、図1(a)に示す電子回路装置が製造される。なお、バンプ電極30を構成するはんだとしては、Sn-Pbの共晶はんだや、Sn-Ag系、Sn-Ag-Cu系、Sn-Ag-Bi系、Sn-Zn系などの鉛レスはんだを用いることができる。

【0049】

上記の本実施形態に係るインターポーザおよび電子回路装置の製造方法によれば、インターポーザ1を構成するシリコン基板10の裏面をエッチングにより後退させて貫通導電層12を突出させることにより、後の電子回路装置の実装基板3への実装工程において、バンプ電極30とシリコン基板10とのショートを防止することができるインターポーザおよび電子回路装置を製造することができる。

【0050】

本発明は、上記の実施形態の説明に限定されない。例えば、本実施形態では、一例として、シリコン基板10からの貫通導電層12の突出する長さを例示したが、貫通導電層12がさらに長く突出するようにシリコン基板10の裏面をエッチングしてもよい。

【0051】

また、本実施形態では、バンプ電極30をインターポーザ1側に形成する例について説明したが、バンプ電極30を実装基板側に形成して、インターポーザ1の貫通導電層12とバンプ電極30とが接続するように、電子回路装置を実装基板へ実装してもよい。この場合においても、バンプ電極30の変形によるバンプ電極30とシリコン基板10とのショートを防止することができる。

また、シリコン基板10の厚みや、配線層を構成する配線材料、層間絶縁膜の材料について例示したが、これに限られるものでない。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0052】

【発明の効果】

本発明のインターポーザによれば、実装基板と接続する突起電極とインターポーザを構成する半導体基板とのショートを防止することができる。

本発明の電子回路装置によれば、実装基板と接続する突起電極とインターポーザを構成する半導体基板とのショートを防止することができる。

【0053】

本発明のインターポーザの製造方法によれば、実装基板と接続する突起電極とインターポーザを構成する半導体基板とのショートを防止することができるインターポーザを製造することができる。

本発明の電子回路装置の製造方法によれば、実装基板と接続する突起電極とインターポーザを構成する半導体基板とのショートを防止することができる電子回路装置を製造することができる。

【図面の簡単な説明】

【図1】図1(a)は、本実施形態に係る電子回路装置の断面図であり、図1(b)は図1(a)のA部における拡大断面図である。

【図2】図2(a)は、本実施形態に係る電子回路装置を実装基板上に実装した後の断面図であり、図2(b)は図2(a)のB部における拡大断面図である。

【図3】本実施形態に係るインターポーザおよび電子回路装置の製造における工程断面図である。

【図4】本実施形態に係るインターポーザおよび電子回路装置の製造における工程断面図である。

10

20

30

40

50

【図5】本実施形態に係るインターポーザおよび電子回路装置の製造における工程断面図である。

【図6】本実施形態に係るインターポーザおよび電子回路装置の製造における工程断面図である。

【図7】図7 (a) は図5 (e) のC部における拡大断面図であり、図7 (b) は図5 (f) のD部における拡大断面図であり、図7 (c) は図6 (g) のE部における拡大断面図である。

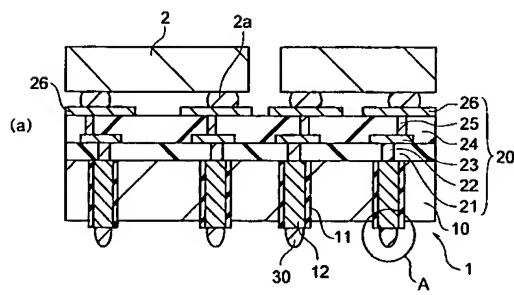
【図8】図8 (a) は従来のいわゆるシステムインパッケージ技術を適用した電子回路装置の断面図であり、図8 (b) は図8 (a) のF部における拡大断面図である。

【図9】図9(a)は、従来の電子回路装置を実装基板上に実装した後の断面図であり、図9(b)は図9(a)のG部における拡大断面図である。 10

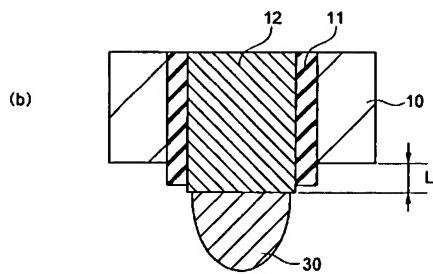
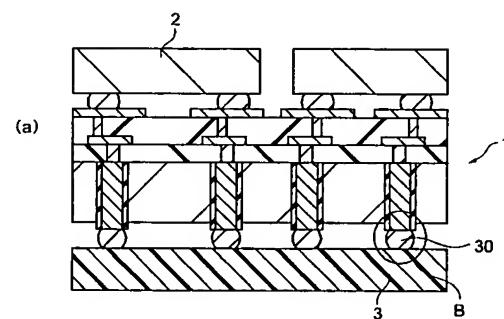
【符号の説明】

1 … インターポーラ、 2 … 半導体チップ、 2 a … バンプ電極、 3 … 実装基板、 10 … シリコン基板、 10 a … 埋め込み用孔、 11 … 絶縁層、 12 … 貫通導電層、 12 a … 導電層、 20 … 配線層、 21 … 第1層間絶縁膜、 22 … 第1層コンタクトプラグ、 23 … 第1層配線、 24 … 第2層間絶縁膜、 25 … 第2層コンタクトプラグ、 26 … 第2層配線、 30 … バンプ電極、 100 … インターポーラ、 110 … シリコン基板、 111 … 絶縁層、 112 … 貫通導電層、 120 … 配線層、 130 … バンプ電極、 200 … 半導体チップ、 200 a … バンプ電極、 300 … 実装基板。

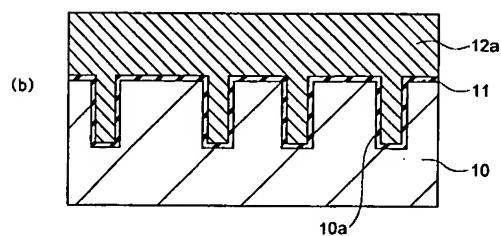
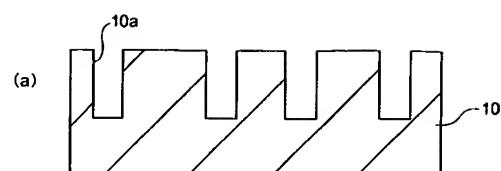
【图 1】



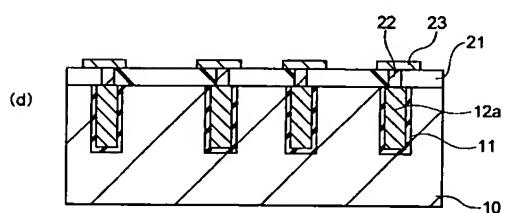
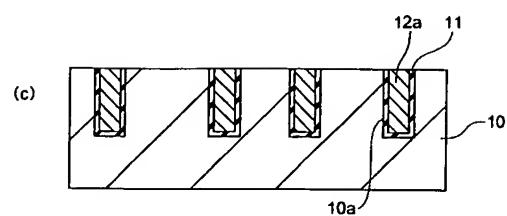
【図2】



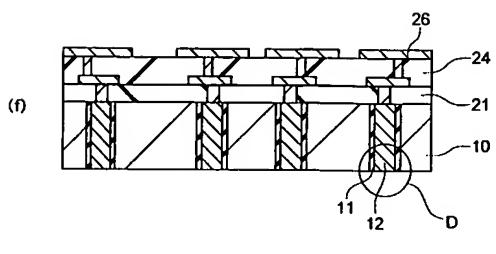
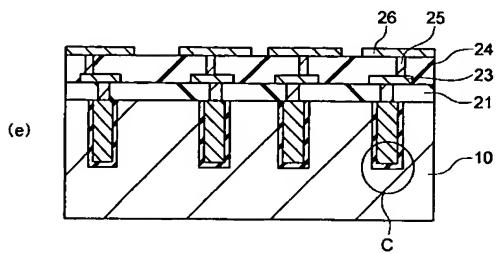
【図 3】



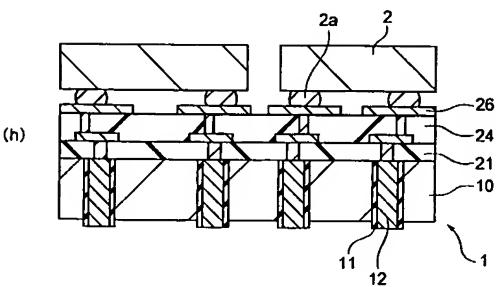
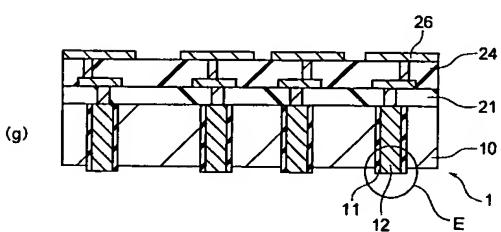
【図 4】



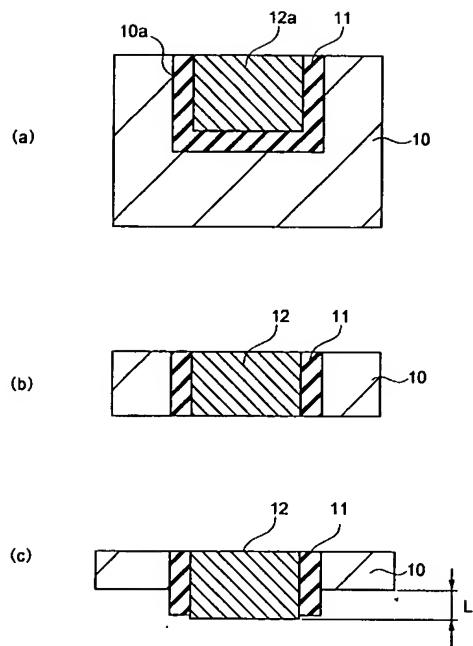
【図 5】



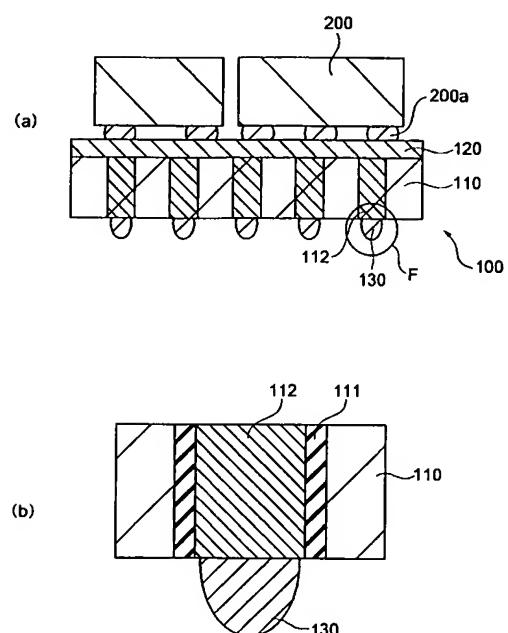
【図 6】



【図 7】



【図 8】



【図 9】

